

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-149149  
 (43)Date of publication of application : 02.06.1998

(51)Int.Cl. G09G 5/36  
 G09G 5/36  
 G09G 5/00  
 G09G 5/00  
 G09G 5/06

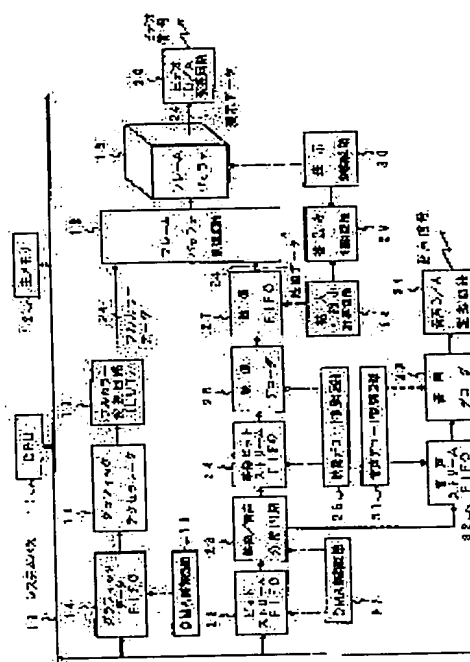
(21)Application number : 08-310687 (71)Applicant : TOSHIBA CORP  
 (22)Date of filing : 21.11.1996 (72)Inventor : MIZOBUCHI MINORU

## (54) IMAGE PROCESSOR

### (57)Abstract:

PROBLEM TO BE SOLVED: To rapidly display the graphic data and video data with full color by converting the graphic data of 8 bits of a bit map form into the full color data of 24 bits.

SOLUTION: A graphic accelerator 16 converts the graphic data of 8 bits temporarily stored in a graphic data FIFO 14 into the bit map data of a 8 bits form. These bit map data of the 8 bits form are converted into the full color data of 24 bits by a full color conversion circuit 17. The bit stream data are separated to the video bit stream data and audio bit stream data by a DMA control circuit 22. The full color data and video data are stored in a frame buffer 19 by a frame buffer control circuit 18, and the video data and full color data stored in the frame buffer 19 are converted into a video signal by a video D/A conversion circuit 20.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

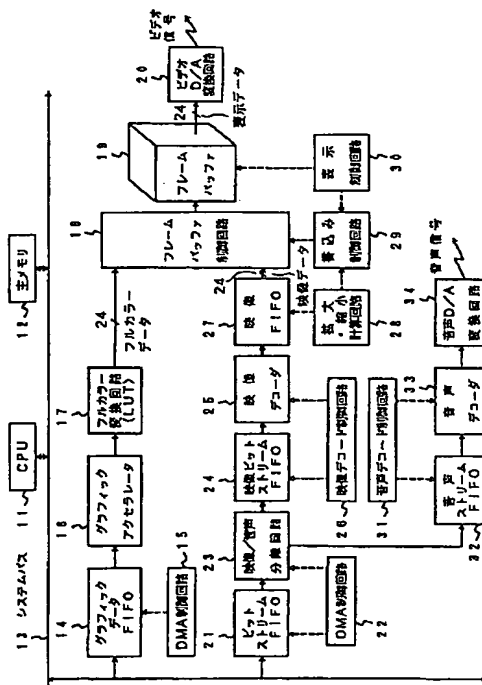
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)6月2日

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)



## 【特許請求の範囲】

【請求項 1】 メモリに格納されている 8 ビットのグラフィックデータをビットマップ形式のグラフィックデータに変換するグラフィックアクセラレータと、前記グラフィックアクセラレータによって変換されたビットマップ形式の 8 ビットのグラフィックデータを 24 ビットのフルカラーデータに変換するフルカラー変換回路と、

メモリに格納されているビットストリームデータのうち、音声データと 24 ビットの映像データとに分離する分離手段と、

前記分離手段により分離された 24 ビットの映像データと、前記フルカラー変換回路から出力される 24 ビットのフルカラーデータとを格納する 24 ビットのフレームバッファと、

前記フルカラーデータ及び前記映像データを前記フレームバッファへ格納するフレームバッファ制御回路と、前記フレームバッファに格納された映像データとフルカラーデータとをビデオ信号に変換する D/A 変換手段とを具備することを特徴とする画像処理装置。

【請求項 2】 前記フレームバッファ制御回路による前記フルカラーデータ及び前記映像データの前記フレームバッファへの格納は、所定の書き込み優先度に基づいて行なわれることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記フレームバッファに書き込まれる映像データのアドレス変換を行ない、前記映像データの拡大・縮小を行なうアドレス変換手段をさらに具備することを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 前記分離手段により分離された音声データを音声として出力する音声信号出力手段をさらに具備することを特徴とする請求項 1 記載の画像処理装置。

【請求項 5】 テレビ信号をテレビ映像信号とテレビ音声信号とに分離するテレビ信号分離手段と、前記テレビ信号分離手段により分離されたテレビ映像信号を前記フレームバッファに書き込むテレビ映像書き込み手段と、

前記テレビ信号分離手段により分離されたテレビ音声信号を音声として出力するテレビ音声信号出力手段とをさらに具備することを特徴とする請求項 1 記載の画像処理装置。

【請求項 6】 前記 8 ビットのグラフィックデータの前記グラフィックアクセラレータへの転送は DMA 転送により行なわれることを特徴とする請求項 1 記載の画像処理装置。

【請求項 7】 前記ビットストリームデータの前記フレームバッファへの転送は DMA 転送により行なわれることを特徴とする請求項 1 記載の画像処理装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像処理装置に関する。

【0002】

【従来の技術】 現在、ワークステーションなどのような計算機においては、24 ビットの映像データを疑似カラーデータ（たとえば 8 bit のパレットデータ）で処理するのが一般的である。

【0003】 また、24 ビットのグラフィックデータは、グラフィックアクセラレータにより高速にビットマップ形式に変換している。ここで、グラフィックデータは、図形などを示すデータであり、映像データは、文字などを示すデータである。

【0004】 図 3 は、このような従来の画像処理装置の映像データ及びグラフィックデータの処理方法を説明するための図である。システムバス 1 に接続された主メモリ 3 には、8 ビット形式のグラフィックデータ及び 24 ビットの映像データが格納されている。

【0005】 主メモリ 3 に格納されている 8 ビットのグラフィックデータは、システムバス 1 を介して、グラフィックアクセラレータ 4 に転送される。そして、このグラフィックデータは、グラフィックアクセラレータ 4 によってビットマップ形式に変換された後に、8 ビットのフレームバッファ 5 に格納される。

【0006】 一方、24 ビットの映像データは、システムバス 1 に接続された CPU 2 によって、ソフトウェア処理によって 8 ビットに変換されたのち、フレームバッファ 5 に格納される。

【0007】 そして、この 8 ビット形式のフレームバッファ 5 に格納されたグラフィックデータ及び映像データは、フルカラー変換回路 6 によって、24 ビットのグラフィックデータ及び映像データに変換される。

【0008】 そして、フルカラー変換回路 6 によって変換された 24 ビットのグラフィックデータ及び映像データは、ビデオ D/A 変換回路 7 によって、ビデオ信号に変換される。

【0009】 すなわち、このような計算機においては、24 ビットの映像データを表示しようとする場合は、映像データをソフトウェアで 8 ビットの疑似カラーデータに少色化変換する必要があった。

【0010】 図 4 は、24 ビット形式のフレームバッファを使用した画像処理装置の映像データ及びグラフィックデータの処理方法を説明するための図である。このような 24 ビット形式のフレームバッファを使用した画像処理装置においては、8 ビットのフレームバッファを使用した画像処理装置のように、少色化する必要はなく、8 ビット形式のグラフィックデータをソフトウェア処理によって 24 ビットに変換したのちに、フレームバッファ 5 に格納する。

【0011】 そして、この 24 ビット形式のフレームバッファ 8 に格納されたグラフィックデータ及び映像デー

タは、ビデオ D/A 変換回路 7 によってビデオ信号に変換される。

【0012】

【発明が解決しようとする課題】しかしながら、上述の 8 ビット形式のフレームバッファを使用した画像処理装置においては、24 ビットの映像データをソフトウェア処理によって 8 ビットの映像データに少色化変換する必要があるため、表示速度が遅くなるという問題があった。

【0013】また、24 ビットの映像データをソフトウェアによって、8 ビット（256 色）の映像データに少色化変換するために、画質が低下してしまうという問題があった。

【0014】一方、24 ビット形式のフレームバッファを使用する画像処理装置においては、映像データは 24 ビットのフルカラーで表示することができるが、今度はグラフィックアクセラレータが無いため、8 ビットのグラフィックデータの 24 ビット形式のフレームバッファ 8 へのビットマップ形式への変換をソフトウェア処理によって行なうため、グラフィックデータの表示に時間がかかってしまうという問題があった。

【0015】本発明は、上記実情に鑑みてなされたものであり、グラフィックデータ及び映像データをフルカラーで高速に表示することのできる画像処理装置を提供することを目的とする。

【0016】

【課題を解決するための手段】従って、まず、上記目的を達成するために第 1 の発明は、メモリに格納されている 8 ビットのグラフィックデータをビットマップ形式のグラフィックデータに変換するグラフィックアクセラレータと、前記グラフィックアクセラレータによって変換されたビットマップ形式の 8 ビットのグラフィックデータを 24 ビットのフルカラーデータに変換するフルカラー変換回路と、メモリに格納されているビットストリームデータのうち、音声データと 24 ビットの映像データとに分離する分離手段と、前記分離手段により分離された 24 ビットの映像データと、前記フルカラー変換回路から出力される 24 ビットのフルカラーデータとを格納する 24 ビットのフレームバッファと、前記フルカラーデータ及び前記映像データを前記フレームバッファへ格納するフレームバッファ制御回路と、前記フレームバッファに格納された映像データとフルカラーデータとをビデオ信号に変換する D/A 変換手段とを具備することを特徴とする画像処理装置である。

【0017】また、第 2 の発明は、第 1 の発明の画像処理装置において、前記フレームバッファ制御回路による前記フルカラーデータ及び前記映像データの格納は、所定の書き込み優先度に基づいて行なわれることを特徴とするものである。

【0018】さらに、第 3 の発明は、第 1 の発明の画像

処理装置において、前記フレームバッファに書き込まれる映像データのアドレス変換を行ない、前記映像データの拡大・縮小を行なうアドレス変換手段をさらに具備することを特徴とするものである。

【0019】さらに、第 4 の発明は、第 1 の発明の画像処理装置において、前記分離手段により分離された音声データを音声として出力する音声信号出力手段をさらに具備することを特徴とするものである。

【0020】さらに、第 5 の発明は、第 1 の発明の画像処理装置において、テレビ信号をテレビ映像信号とテレビ音声信号とに分離するテレビ信号分離手段と、前記テレビ信号分離手段により分離されたテレビ映像信号を前記フレームバッファに書き込むテレビ映像書き込み手段と、前記テレビ信号分離手段により分離されたテレビ音声信号を音声として出力するテレビ音声信号出力手段とをさらに具備することを特徴とするものである。

【0021】さらに、第 6 の発明は、第 1 の発明の画像処理装置において、前記 8 ビットのグラフィックデータの前記グラフィックアクセラレータへの転送は DMA 転送により行なわれることを特徴とするものである。

【0022】さらに、第 7 の発明は、第 1 の発明の画像処理装置において、前記ビットストリームデータの前記フレームバッファへの転送は DMA 転送により行なわれることを特徴とするものである。

【0023】次に、上記第 1 の発明乃至第 7 の発明の作用について説明する。すなわち、第 1 の発明は、グラフィックアクセラレータによって、メモリに格納されている 8 ビットのグラフィックデータをビットマップ形式のグラフィックデータに変換し、フルカラー変換回路によって、グラフィックアクセラレータによって変換されたビットマップ形式の 8 ビットのグラフィックデータを 24 ビットのフルカラーデータに変換する。

【0024】また、分離手段により、メモリに格納されているビットストリームデータのうち、音声データと 24 ビットの映像データとに分離し、フレームバッファ制御回路によって、フルカラーデータ及び映像データをフレームバッファへ格納し、D/A 変換手段により、フレームバッファに格納された映像データとフルカラーデータとをビデオ信号に変換するので、グラフィックデータ及び映像データをフルカラーで高速に表示することができる。

【0025】また、第 2 の発明は、第 1 の発明の画像処理装置において、フレームバッファ制御回路によるフルカラーデータ及び映像データのフレームバッファへの格納は、所定の書き込み優先度に基づいて行なわれるので、映像データ及びフルカラーデータのフレームバッファへの書き込みが競合した場合にも、フレームバッファへのデータの格納を正常に行なうことができる。

【0026】さらに、第 3 の発明は、第 1 の発明の画像処理装置において、アドレス変換手段によって、フレー

ムバッファに書き込まれる映像データのアドレス変換を行ない、映像データの拡大・縮小を行なう。

【0027】さらに、第4の発明は、第1の発明の画像処理装置において、音声信号出力手段により、分離手段により分離された音声データを音声として出力するので、映像とともに音声も聴くことができる。

【0028】さらに、第5の発明は、テレビ信号分離手段により、テレビ信号をテレビ映像信号とテレビ音声信号とに分離し、テレビ映像書き込み手段により、テレビ信号分離手段により分離されたテレビ映像信号を前記フレームバッファに書き込む。そして、テレビ音声信号出力手段により、テレビ信号分離手段により分離されたテレビ音声信号を音声として出力するので、テレビ映像と同期して音声も聴くことができる。

【0029】さらに、第6の発明は、第1の発明の画像処理装置において、8ビットのグラフィックデータのグラフィックアクセラレータへの転送はDMA転送により行なわれるので、CPUに負担をかけることなくグラフィックデータの転送を高速に行なうことができる。

【0030】さらに、第7の発明は、第1の発明の画像処理装置において、ビットストリームデータのフレームバッファへの転送はDMA転送により行なわれるので、CPUに負担をかけることなく高速にビットストリームデータの転送を行なうことができる。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

<第1の実施の形態>図1は、本発明の第1の実施の形態に係る画像処理装置の構成を示す図である。なお、図1中の破線の矢印は制御の方向を示す。

【0032】同図に示すように、本実施の形態の画像処理装置は、CPU11、主メモリ12、システムバス13、グラフィックデータFIFO14、DMA制御回路15、グラフィックアクセラレータ16、フルカラー変換回路17、フレームバッファ制御回路18、フレームバッファ19、ビデオD/A変換回路20、ビットストリームFIFO21、DMA制御回路22、映像/音声分離回路23、映像ストリームFIFO24、映像デコーダ25、映像デコード制御回路26、映像FIFO27、拡大・縮小計算回路28、書き込み制御回路29、表示制御回路30、音声デコード制御回路31、音声ストリームFIFO32、音声デコーダ33、音声D/A変換回路34とを備えている。

【0033】CPU11は、主メモリ12上のデータのアクセス、各制御回路のパラメータ設定などの装置全体の制御を司る。主メモリ12は、オペレーティングシステム(OS)、各種ユーザープログラム、および各種データを記憶するものであり、グラフィックデータ、映像データを記憶する。

【0034】システムバス13は、CPU11の命令や

各種データの転送路である。グラフィックデータFIFO14は、システムバス13を通してDMA転送されてくる、グラフィックデータを一時的に格納するバッファである。

【0035】DMA制御回路15は、プログラムで生成され主メモリ12上に格納されているグラフィックデータを、グラフィックデータFIFO14にDMA転送する。グラフィックアクセラレータ16は、グラフィックデータFIFO14に一時的に格納されているグラフィックデータを8ビットのビットマップ形式のグラフィックデータに変換する。

【0036】フルカラー変換回路(LUT)17は、8ビットのビットマップ形式のグラフィックデータを24ビットのフルカラーデータに変換する。フレームバッファ制御回路18は、フルカラー変換回路17で変換される24ビットのフルカラーデータ、および映像FIFO27から出力される映像データの書き込みとフレームバッファ19の制御を行う。

【0037】フレームバッファ19は、1画素24ビットで構成される表示データを格納するメモリであって、フルカラー変換回路17において24ビットに変換されるフルカラーデータと映像FIFO27から出力される24ビットの映像データを格納する。

【0038】ビデオD/A変換回路20は、フレームバッファ19に格納されている24ビットの表示データをビデオ信号(アナログ)に変換する。ビットストリームFIFO21は、システムバス13を通して主メモリ12から転送されてくるビットストリームデータ(映像/音声の圧縮データ)を一時的に格納する。

【0039】DMA制御回路22は、主メモリ12上に格納されているビットストリームデータをシステムバス13を通してビットストリームFIFO21にDMA転送する。

【0040】映像/音声分離回路23は、ビットストリームFIFO21に一時的に格納されているビットストリームデータを映像ビットストリームデータと音声ビットストリームデータとに分離する。

【0041】映像ビットストリームFIFO24は、映像/音声分離回路23により分離された映像ビットストリームデータを一時的に格納する。映像デコーダ25は、映像ビットストリームFIFO24に格納されている映像ビットストリームデータをデコード(伸長)する。

【0042】映像デコード制御回路26は、映像ビットストリームFIFO24と映像デコーダ25の制御を行う。映像FIFO27は、映像デコーダ25によりデコードされた24ビットの映像データを一時的に格納する。

【0043】拡大・縮小計算回路28は、映像FIFO27に格納されている映像データによって表示される映

像を拡大・縮小するためのアドレス計算を行なうものであり、映像 FIFO 27 からフレームバッファ制御回路 18 への映像データの転送を制御する。書き込み制御回路 29 は、映像データをフレームバッファ 19 に書き込むタイミングを制御し、スムーズな映像データの表示を実現する。

【0044】表示制御回路 30 は、フレームバッファ 19 に格納された映像データおよびフルカラー変換されたグラフィックデータの読みだし及び制御を行う。音声デコード制御回路 31 は、音声ストリーム FIFO 32 と音声デコーダ 33 との制御を行う。

【0045】音声ストリーム FIFO 32 は、映像／音声分離回路 23 によって分離された音声ビットストリームデータを一時的に格納する。音声デコーダ 33 は、音声ストリーム FIFO 32 に格納されている音声ビットストリームデータをデコードして音声データとして出力する。音声 D/A 変換回路 34 は、デコードされた音声データを音声信号に変換（D/A 変換）する。

【0046】次に、上述の如く構成された本実施の形態に係る画像処理装置の動作について説明する。まず、最初に、グラフィックデータのフレームバッファ 19 への書き込み方法について説明する。

【0047】このグラフィックデータは、各種ユーザプログラムで生成されるベクトル形式のデータである。まず、DMA 制御回路 15 により、プログラムで生成され主メモリ 12 上に格納されているグラフィックデータが、グラフィックデータ FIFO 14 に DMA 転送される。

【0048】このように主メモリ 12 に格納されているグラフィックデータを DMA 制御回路 15 により DMA 転送することによって、CPU 11 に負担をかけることなくグラフィックデータの転送を高速に行なうことができる。

【0049】グラフィックアクセラレータ 16 は、グラフィックデータ FIFO 14 に一時的に格納されている 8 ビットのグラフィックデータを 8 ビット形式の疑似カラーデータ（ビットマップデータ）に変換する。

【0050】グラフィックアクセラレータ 16 により、変換された 8 ビット形式のビットマップデータは、フルカラー変換回路 17 によって 24 ビットのフルカラーデータに変換される。

【0051】これにより、高速に 8 ビット形式のビットマップデータを 24 ビットのビットマップデータに変換することができる。そして、フルカラー変換回路（LUT）7 によって変換された 24 ビットのフルカラーデータは、フレームバッファ制御回路 18 によって、フレームバッファ 19 に書き込まれる。

【0052】次に、映像と音声の圧縮データで構成されるビットストリームデータの処理方法について説明する。まず、DMA 制御回路 22 により、主メモリ 12 上

に格納されているビットストリームデータをシステムバス 13 を通してビットストリーム FIFO 21 に DMA 転送する。

【0053】これにより、CPU 11 に負担をかけることなく、ビットストリームデータを高速に転送することが可能になる。次に、映像／音声分離回路 23 によって、ビットストリーム FIFO 21 に一時的に格納されているビットストリームデータを映像ビットストリームデータと音声ビットストリームデータに分離する。

【0054】この映像／音声分離回路 23 によるビットストリームデータの映像ビットストリームデータと音声ビットストリームデータとの分離は、DMA 制御回路 22 によって行なわれる。

【0055】映像／音声分離回路 23 によって分離された映像ビットストリームデータと音声ビットストリームデータは、それぞれ映像ストリーム FIFO 24、音声ストリーム FIFO 32 に一時的に格納される。

【0056】映像ストリーム FIFO 24 に格納された映像ビットストリームデータは、映像デコーダ 25 によって、デコード（伸長）された後、映像 FIFO 27 に一時的に格納される。

【0057】この映像ストリーム FIFO 24 に格納された映像ビットストリームデータの読み出し及び映像デコーダ 25 によるデコードは、映像デコード制御回路 26 によって行なわれる。

【0058】映像 FIFO 27 に格納された 24 ビットの映像データは、フレームバッファ制御回路 18 によって、フレームバッファ 19 に書き込まれる。このときの映像データのフレームバッファ 19 への書き込みアドレスは、拡大・縮小計算回路 28 により計算され、書き込みタイミングの制御は、書き込み制御回路 19 によって行なわれる。

【0059】また、フルカラー変換回路 17 から出力される 24 ビットのフルカラーデータ及び映像 FIFO 27 から出力される映像データは同時にフレームバッファ制御回路 18 に出力された場合には、フレームバッファ制御回路 18 は、あらかじめ設定されている書き込み優先度に従って、フレームバッファ 19 への書き込みを行なう。

【0060】ここでは、フレームバッファ制御回路 18 に対して同時にフルカラーデータ及び映像データが出力された場合には、フレームバッファ制御回路 18 によるフレームバッファ 19 への書き込みは、映像データが優先して書き込まれるものとする。

【0061】フレームバッファ 19 に格納されたフルカラーデータ及び映像データは、ビデオ D/A 変換回路 20 によって、ビデオ信号に変換された後に、モニタに表示される。

【0062】これにより、映像データ及びグラフィックデータをフルカラーで高速に、且つ同時に表示すること

ができる。次に、音声ストリーム F I F O 3 2 に格納された音声ビットストリームデータの処理について説明する。

【0063】音声ストリーム F I F O 3 2 に格納された音声ビットストリームデータは、音声デコーダ 3 3 によってデコードされる。音声デコーダ 3 3 によってデコードされた音声ビットストリームデータは、さらに、音声 D/A 変換回路 3 4 によって、音声信号に変換される。

【0064】この変換された音声信号は、スピーカによって音声として出力される。これにより、映像とともに音声を聴くことも可能になる。なお、上述の実施の形態の説明においては、映像データ及びビットストリームデータは、同一の主メモリ 1 2 に格納されている場合について説明したが、これらのデータは、別々のメモリに格納されていてもよい。

【0065】また、上述の実施の形態の説明においては、フレームバッファ制御回路 1 8 によるフレームバッファ 1 9 への書き込みは、映像データを優先して書き込む場合について説明したが、フルカラーデータを優先しても良い。

【0066】従って、本実施の形態の画像処理装置によれば、画質を落とすことなくフルカラーのグラフィック及び映像を同時に、且つ高速に表示することができる。また、フレームバッファ制御回路 1 9 は、同時にフルカラーデータ及び映像データが入力された場合、あらかじめ設定された優先度に従ってフレームバッファ 1 9 へデータの書き込みを行なうので、書き込みが競合した場合においても、正常にフレームバッファ 1 9 へデータの書き込みを行なうことができる。

【0067】さらに、拡大・縮小計算回路 2 8 により映像データを拡大あるいは縮小するためのアドレス計算を行なうことができるので、映像データを拡大あるいは縮小して表示させることができる。

【0068】さらに、映像/音声分離回路 2 3 によって、ビットストリーム F I F O 2 1 に格納されたビットストリームデータの映像ビットストリームデータと音声ビットストリームデータとの分離を行ない、分離された音声データを音声として出力するので、映像に同期した映像を得ることができる。

【0069】さらに、DMA 制御回路 1 5 により、主メモリ 1 2 に格納されているグラフィックデータを DMA 転送することができるので、CPU 1 1 に負担をかけることなく高速にグラフィックデータを転送することができる。

【0070】さらに、DMA 制御回路 2 2 により、主メモリ 1 2 に格納されているビットストリームデータを DMA 転送することができるので、CPU 1 1 に負担をかけることなく高速にビットストリームデータを転送することができる。

【0071】さらに、本実施の形態においては、映像デ

ータ用のフレームバッファとグラフィックデータ用のグラフィックデータとを別々に設ける必要がなく、共通のフレームバッファを使用することができる。

<第 2 の実施の形態> 図 2 は、本発明の第 2 の実施の形態に係る画像処理装置の構成を示す図である。なお、図 1 と同一部分には同一符号を付して説明する。

【0072】上述の第 1 の実施の形態の画像処理装置と第 2 の実施の形態の画像処理装置と異なる点は、テレビチューナ 4 1、映像 F I F O 4 2、音声 F I F O 4 3 を設けたことにある。

【0073】テレビチューナ 4 1 は、アンテナから受信したテレビ信号をデコードする。映像 F I F O 4 2 は、テレビチューナ 4 1 によってデコードされたテレビ信号のうち、テレビ映像データを一時的に格納して、書き込み制御回路 2 9 に出力する。

【0074】音声 F I F O 4 3 は、テレビチューナ 4 1 によってデコードされたテレビ信号のうち、テレビ音声データを一時的に格納して、音声 D/A 変換回路 3 4 に出力する。

【0075】次に、上述の如く構成された画像処理装置の動作について説明する。まず、テレビチューナ 4 1 によってテレビ信号がデコードされ、デコードされたテレビ信号のうち、テレビ映像データが一時的に映像 F I F O 4 2 に格納されるとともに、テレビ音声データが一時的に音声 F I F O 4 3 に格納される。

【0076】映像 F I F O 4 2 に格納された映像データは、書き込み制御回路 2 9 に出力され、フレームバッファ制御回路 1 8 によってフレームバッファ 1 9 に書き込まれる。

【0077】そして、フレームバッファ 1 9 に書き込まれたテレビ映像データは、ビデオ D/A 変換回路 2 0 によってビデオ信号に変換されたのち、モニタに表示される。これにより、テレビ映像、グラフィックデータ及び映像データを同時に表示することができる。

【0078】一方、音声 F I F O 4 3 に格納されたテレビ音声データは、音声 D/A 変換回路 3 4 によって音声信号に変換される。これにより、テレビ映像と同期した音声を聴くことができる。

【0079】なお、上述の実施の形態の説明においては、テレビ信号について説明したが、テレビ信号に限らず、ビデオ機器からのビデオ信号であってもよく、この場合には、映像 F I F O 4 2 には、ビデオ信号のビデオ映像データが格納され、音声 F I F O 4 3 には、ビデオ信号の御データが格納される。

【0080】従って、本実施の形態の画像処理装置によれば、上述の第 1 の実施の形態の画像処理装置の効果に加え、テレビの映像表示と音声出力を同時に行なうことが可能となる。

【0081】また、テレビ信号の映像データのフレームバッファと映像データ及びグラフィックデータのフレ



ムバッファを別々に設けることなく、共通のフレームバッファを使用することができる。

【0082】

【発明の効果】以上詳記したように、本発明によれば、グラフィックデータ及び映像データをフルカラーで高速に表示することのできる画像処理装置を提供することができる。

【0083】また、本発明によれば、映像データ及びフルカラーデータのフレームバッファへの書き込みが競合した場合にも、フレームバッファへのデータの格納を正常に行なうことができる。

【0084】さらに、本発明によれば、映像データによって表わされる映像の拡大、縮小を行なうことができる。さらに、本発明によれば、分離手段により分離された音声データを音声として出力するので、映像とともに音声も聴くことができる。

【0085】さらに、本発明によれば、テレビ映像と同期して音声も聴くことができる。さらに、本発明によれば、CPUに負担をかけることなくグラフィックデータの転送を高速に行なうことができる。さらに、本発明によれば、CPUに負担をかけることなく高速にビットストリームデータの転送を行なうことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る画像処理装置の構成を示す図である。

【図2】本発明の第2の実施の形態に係る画像処理装置の構成を示す図である。

【図3】従来の画像処理装置の構成を示す図である。

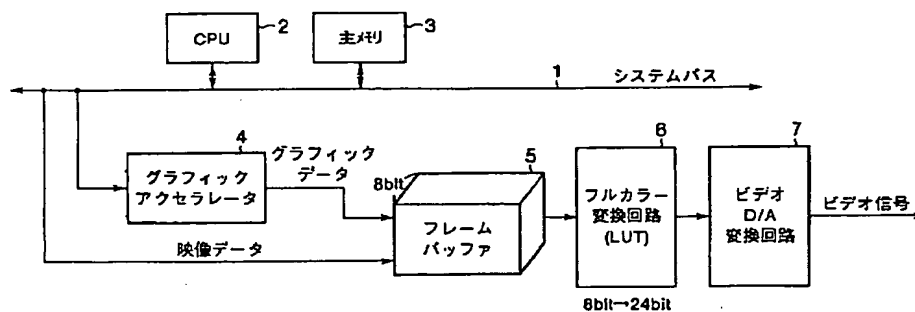
【図4】従来の画像処理装置の構成を示す図である。

【符号の説明】

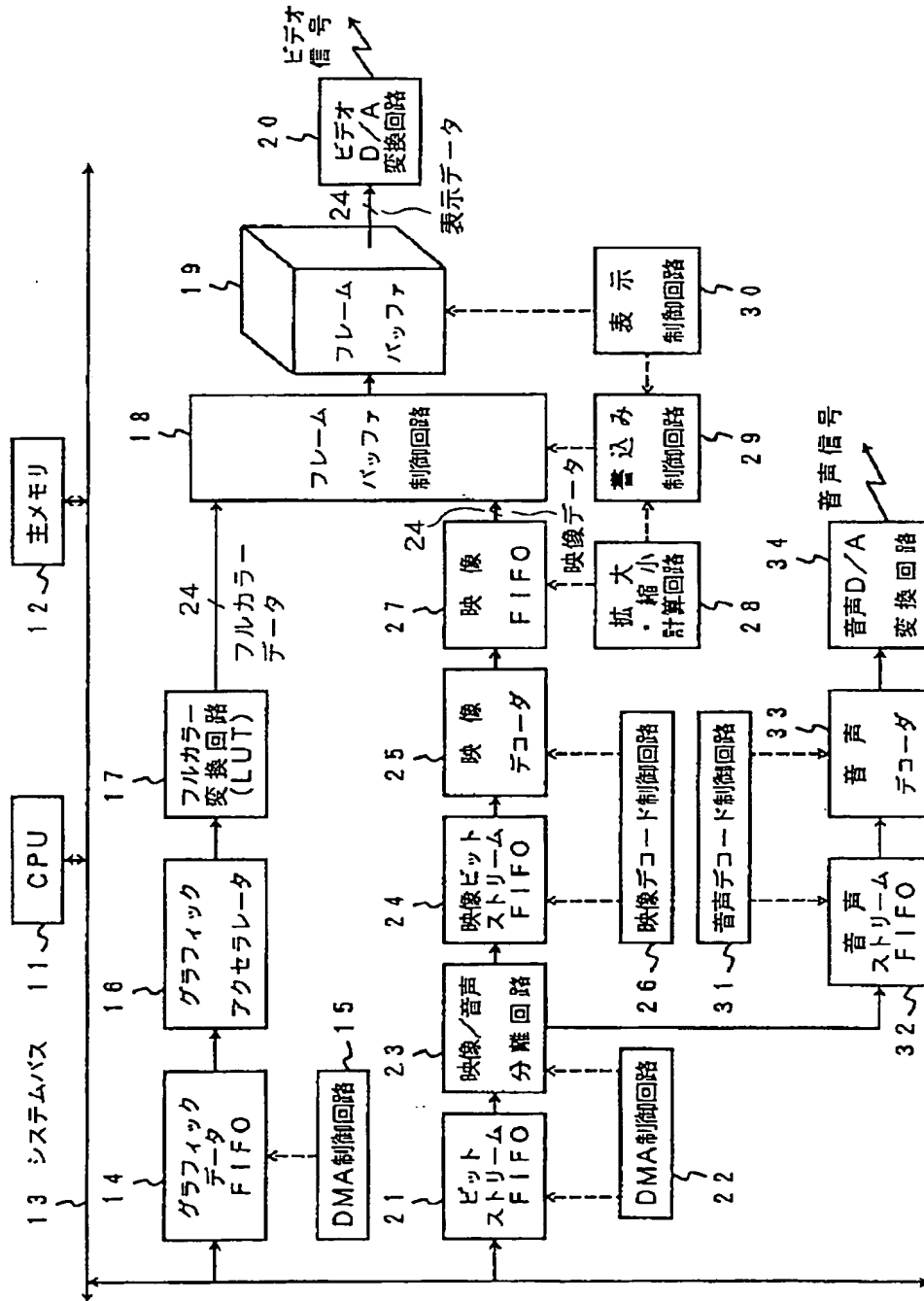
- 1…システムバス、
- 2…CPU、
- 3…主メモリ、

- 4…グラフィックアクセラレータ、
- 5…フレームバッファ、
- 6…フルカラー変換回路(LUT)
- 7…ビデオD/A変換回路、
- 8…フレームバッファ
- 11…CPU、
- 12…主メモリ、
- 13…システムバス、
- 14…グラフィックデータFIFO、
- 15…DMA制御回路、
- 16…グラフィックアクセラレータ、
- 17…フルカラー変換回路、
- 18…フレームバッファ制御回路、
- 19…フレームバッファ、
- 20…ビデオD/A変換回路、
- 21…ビットストリームFIFO、
- 22…DMA制御回路、
- 23…映像/音声分離回路、
- 24…映像ビットストリームFIFO、
- 25…映像デコーダ、
- 26…映像デコード制御回路、
- 27…映像FIFO、
- 28…拡大・縮小計算回路、
- 29…書き込み制御回路、
- 30…表示制御回路、
- 31…音声デコード制御回路、
- 32…音声ストリームFIFO、
- 33…音声デコーダ、
- 34…音声D/A変換回路、
- 41…テレビチューナ、
- 42…映像FIFO、
- 43…音声FIFO。

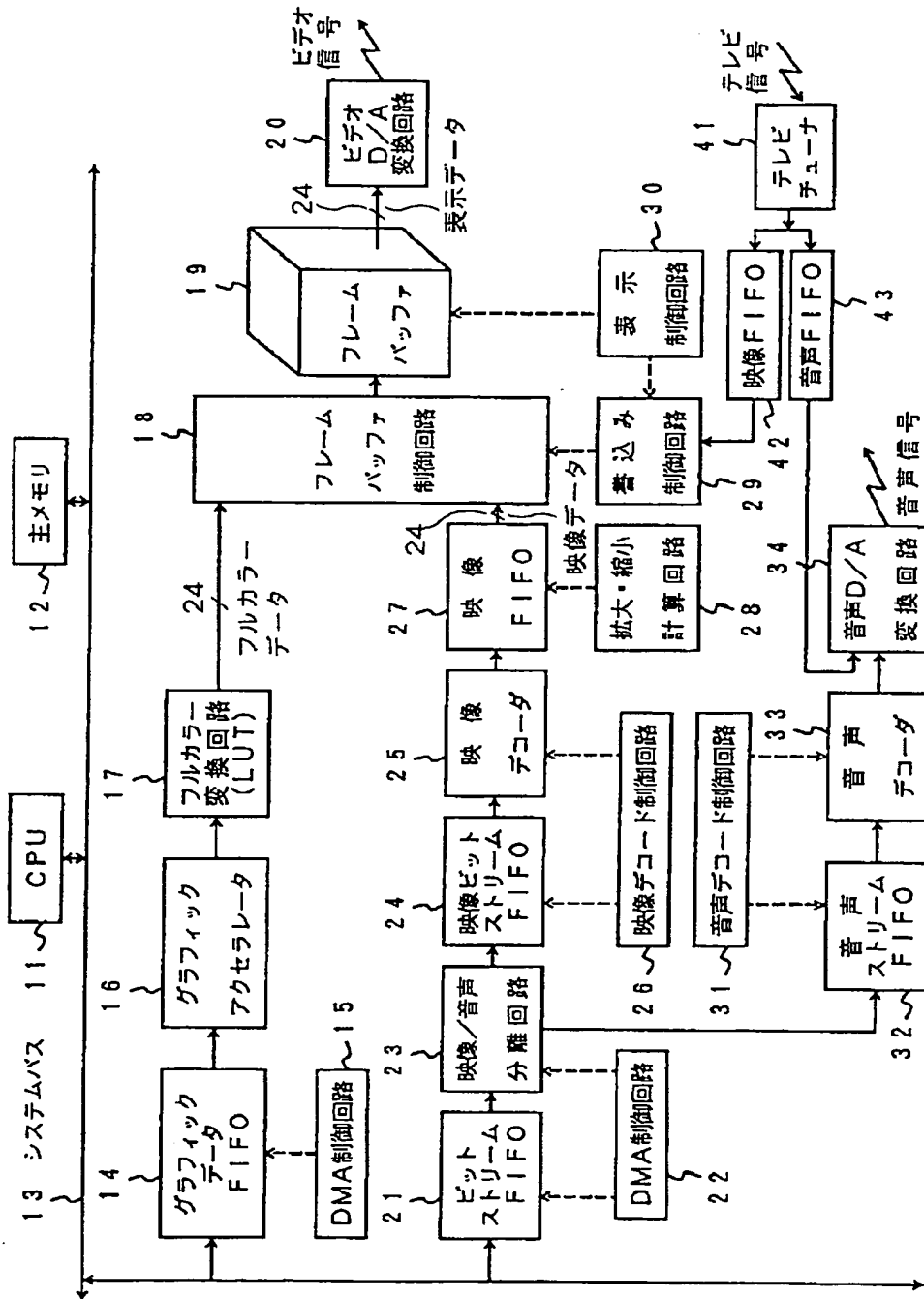
【図3】



【図1】



【図2】



【図4】

